

UNIVERSITI SAINS MALAYSIA
Peperiksaan Semester Pertama
Sidang 1988/89

EEE 315 Teknologi Semikonduktor II

Tarikh: 2 November 1988

Masa: 9.00 pagi - 12.00 tengah hari
(3 jam)

ARAHAN KEPADA CALON:

Sila pastikan bahawa kertas peperiksaan ini mengandungi 19 muka surat bercetak dan TUJUH (7) soalan sebelum anda memulakan peperiksaan ini.

Jawab mana-mana LIMA (5) soalan sahaja.

Setiap soalan mempunyai agihan markah yang sama.

Jawab kesemua soalan di dalam Bahasa Malaysia.

Kertas graf diperlukan untuk soalan 7.

Kertas peperiksaan ini dibahagikan kepada dua bahagian iaitu Bahagian A (1 - 4) dan Bahagian B (5 - 7). Calon-calun dikehendaki menggunakan buku jawapan berasingan untuk Bahagian A dan Bahagian B.

...2/-

BAHAGIAN A

1. Kebanyakan penyelaku litar bersepadu (IC Simulator) boleh dibahagikan kepada empat peringkat iaitu:-

Prapemproses
Penyusun Model
Pelaksana Penyelaku
Postpemproses

- (a) Dengan bantuan contoh-contoh dari penyelaku aras get dan penyelaku aras litar, terangkan apakah yang dimaksudkan dengan setiap empat peringkat tersebut.

(80%)

- (b) Bincangkan kegunaan penyelaku aras kelakuan, penyelaku aras get dan penyelaku aras litar pada konsep rekabentuk litar bersepadu secara struktur berhierarki.

(20%)

2. (a) Terangkan apakah yang dimaksudkan dengan penyelaku get terpacu peristiwa (event driven gate simulator).

(20%)

- (b) Get-get yang digunakan pada litar di Rajah 2 mempunyai lengah keluaran (D_{out}) yang bernilai 4 nanosaat dan lengah beban (D_{ld}) yang bernilai 3 nanosaat. Kapasitans masukan setiap get adalah setara dengan satu unit beban, dan get TAK-ATAU dibebankan dengan satu lagi unit beban yang tidak ditunjukkan dalam Rajah 2.

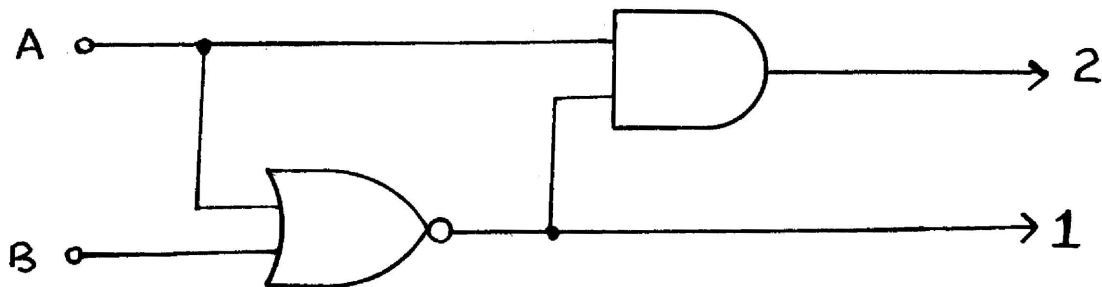
...3/-

Jika masukan A adalah masukan tangga unggun yang menaik pada masa $t = 2$ nanosaat dan masukan B tetap pada logik 0 untuk keseluruhan masa, binakan satu siri jadual untuk menggambarkan kendalian penyelaku terpacu jadual (table driven simulator).

(60%)

- (c) Terangkan dengan ringkas kelebihan dan kekurangan penyelaku TMODES (Timing MOS Digital Simulator).

(20%)



RAJAH 2

3. Satu pembilang modulo - 50 enam peringkat digunakan untuk mengawal sistem lampu lalulintas pada suatu simpang jalanraya. Jujukan kendalian lampu yang diperlukan adalah seperti berikut:-

- (i) Merah = $\Sigma 0 - 27$
- (ii) Oren = $\Sigma 20 - 27 + \Sigma 42 - 49$
- (iii) Hijau = $\Sigma 28 - 41$

- (a) Rekabentuk litar logik bergabung untuk fungsi warna oren dan laksanakan rekabentuk tersebut menggunakan get-get TAK-DAN sahaja.

(40%)

- (b) Lakarkan litar CMOS statik untuk fungsi warna oren.

(30%)

- (c) Jika beban 1.0 pF terdapat pada keluaran fungsi warna oren pada litar CMOS statik, anggarkan nisbah-nisbah untuk transistor-transistor nMOS dan pMOS supaya gabungan keseluruhan nisbah-nisbah ini dapat memuaskan syarat $B_n/B_p = 1$ dalam keadaan paling buruk. Anggapkan bahawa ketergerakan (mobility) elektron adalah tiga kali lebih besar dari ketergerakan lohong.

(30%)

4. (a) Laksanakan fungsi $Z = \overline{A \cdot B + C \cdot (D + E)}$ dalam struktur-sturktur logik CMOS seperti berikut:-

...5/-

- (i) Logik Pelengkap CMOS Statik
- (ii) Logik CMOS Dinamik
- (iii) Logik Domino CMOS

Huraikan dengan ringkas setiap satu struktur-struktur logik CMOS seperti di atas.

(45%)

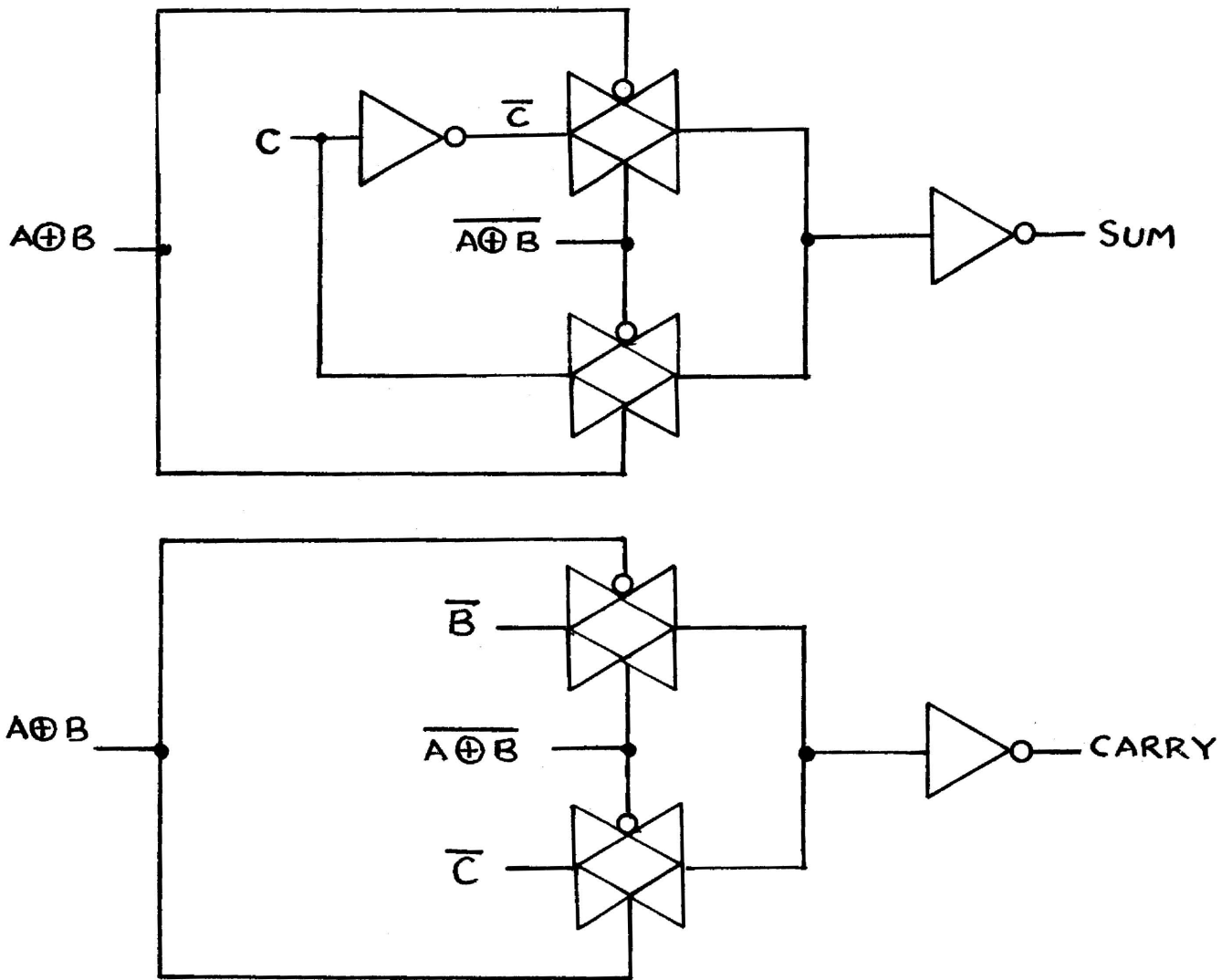
- (b) Merujuk kepada Rajah 4, lukiskan dengan sepenuhnya litar CMOS penambah get penghantaran yang menggunakan empat get penghantaran, empat penyongsang dan dua get ATAU eksklusif (XOR).

(45%)

- (c) Terangkan dengan ringkas kelebihan rekabentuk penambah get penghantaran jika dibandingkan dengan penambah litar gabungan.

(10%)

...6/-



Rajah 4 . Litar Simbol Penambah Get Penghantaran

BAHAGIAN B

5. Anda adalah seorang pereka litar di sebuah syarikat elektronik berbilang negara besar yang membuat televisyen warna di Petaling Jaya.

Kajian oleh Jabatan Perkhidmatan Pengguna menunjukkan bahawa unit mengawal pemasaan bagi suatu model T.V. popular merupakan punca kebanyakan kerosakan. Sebuah jawatankuasa untuk merekabentuk semula unit itu telah ditubuhkan dan anda adalah salah seorang ahli daripada jawatankuasa ini. Sebahagian besar kerja merekabentuk telah diselesaikan dan apa yang perlu dibuat sekarang adalah pemasangan pad-pad I/O sahaja. Syarat-syarat untuk pemasangan itu adalah seperti yang ditunjukkan dalam Rajah 5(a). Tugas anda adalah menulis satu aturcara PAC yang dapat memuaskan kesemua syarat-syarat itu.

- (a) Tuliskan aturcara PAC dengan menggunakan set arahan PAC terhad yang ditunjukkan dalam Rajah 5(b).

(90%)

- (b) Apakah dimensi-dimensi bentangan (layout) terakhir? [Lebar dan tinggi].

(10%)

...8/-

- 1.0 Circuit Design Package : SAGA
- 2.0 Technology : 3 microns double metal CMOS (p-well)
- 3.0 Computer System : VAX/VMS system, similar to the one you were using while you were an undergraduate in USM.
- 4.0 Your design directory (pathname) : cad\$disk:[user.redesign]
- 5.0 Pad library (pathname) : cad\$disk:[imkth.padlib]
- 6.0 Main module : consists of one data input line(I1), one data output line (O1), 2 clock lines (c1,c2), one Vdd and one Gnd.
: main module is called *main* and is located in the designer's library ie. cad\$disk:[user.redesign]

6.1 Port information

names	width microns	extensions microns	layer
O1	5.0	2.0	METAL2
I1	5.0	2.0	METAL2
c1	5.0	2.0	METAL2
c2	5.0	2.0	METAL2
VDD	10.0	2.0	METAL1
GND	10.0	2.0	METAL1

Rajah 5(a)

Rajah 5(a)

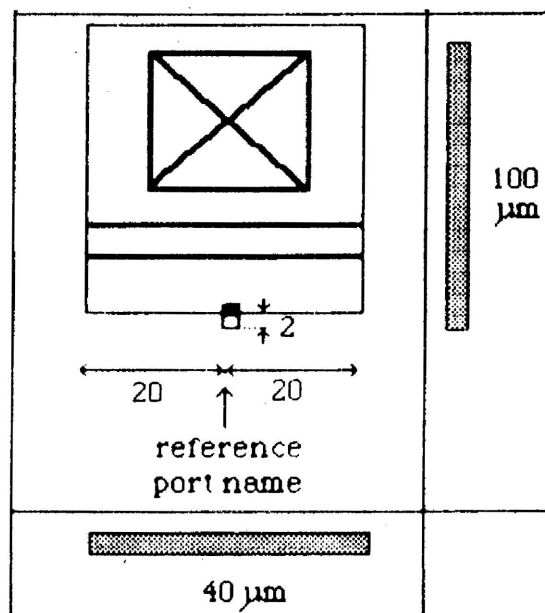
7.0 Pad Library

Pad Name	width (microns)	height (microns)	Port Name	Port Layer	Port Width (microns)	Description
pvdd	40.0	100.0	v	metal1	10.0	supplies Vdd
pgnd	40.0	100.0	g	metal1	10.0	supplies Vss/Gnd
pinp	40.0	100.0	i	metal2	5.0	input pad
pout	40.0	100.0	o	metal2	5.0	output pad
pro3	30.0	100.0	-			connection pad
pro5	50.0	100.0	-			connection pad
pcor	70.0	70.0	-			corner pad

8.0 Default Orientations

8.1 Orientation applies to following pads,

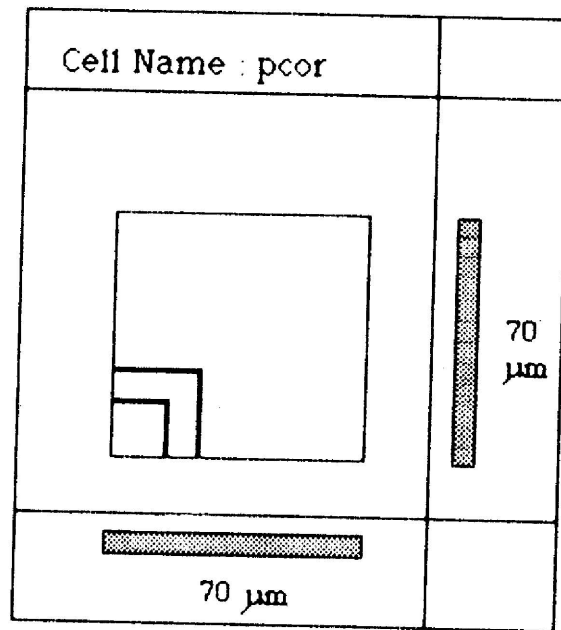
- a) *pvdd*
- b) *pgnd*
- c) *pinp*
- d) *pout*



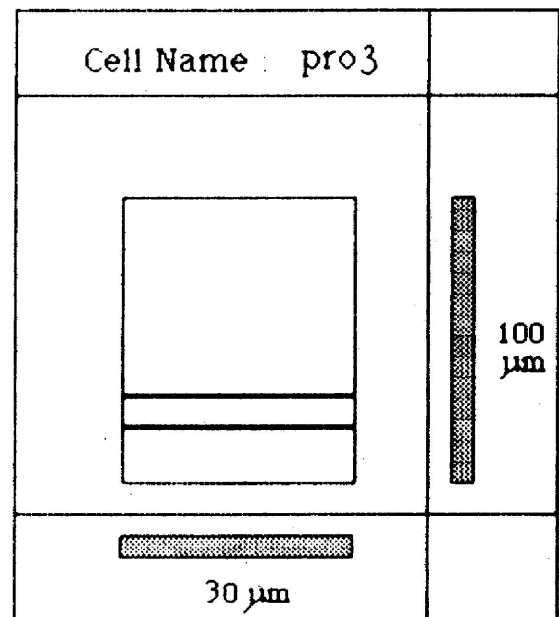
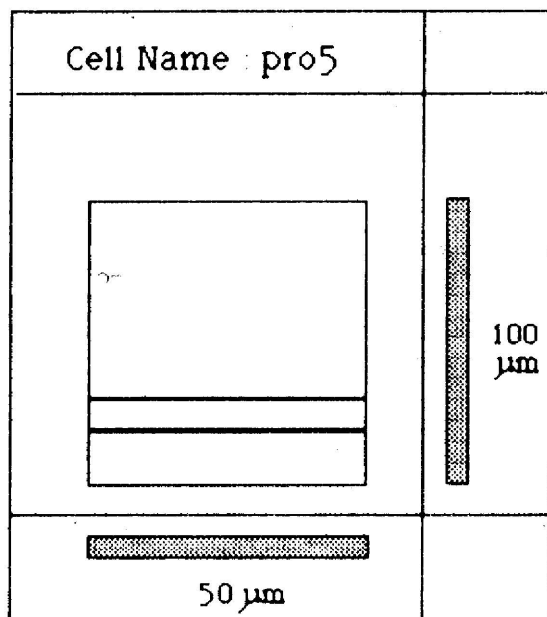
...10/-

8.0 Default Orientations (cont'd)

8.2 Orientation for *pcor* pad.



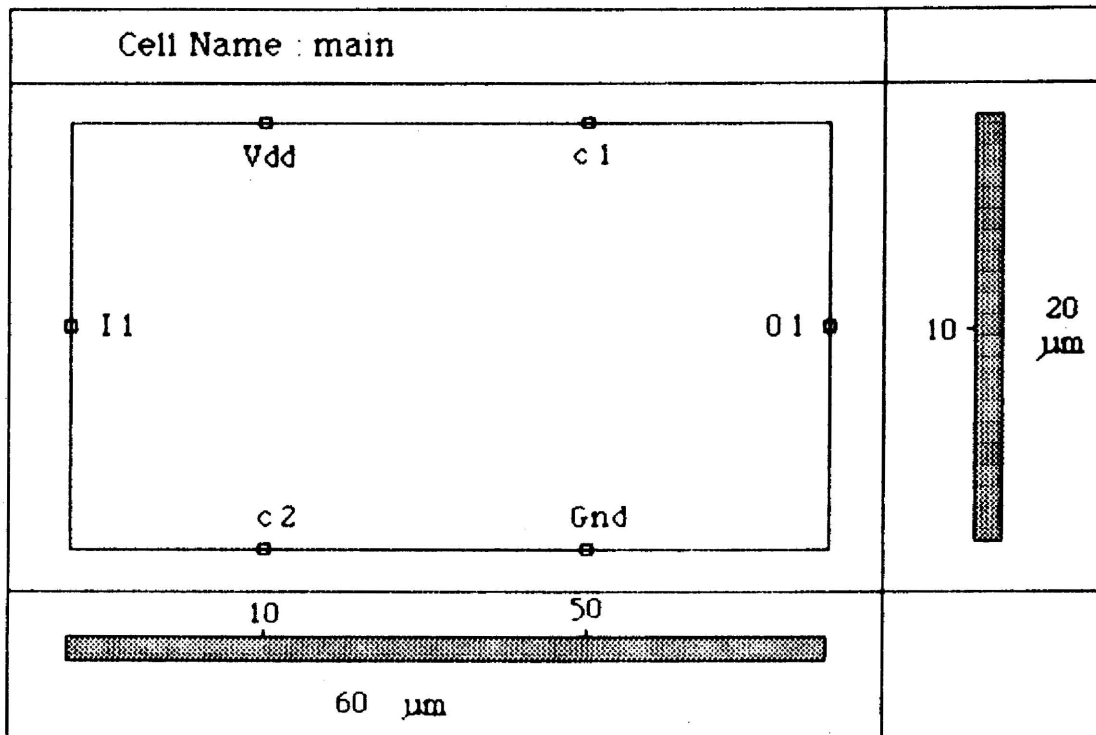
8.3 Orientation of the routing pads.



Rajah 5(a)

8.0 Default Orientations (cont'd) :

8.4 Orientation of main module.



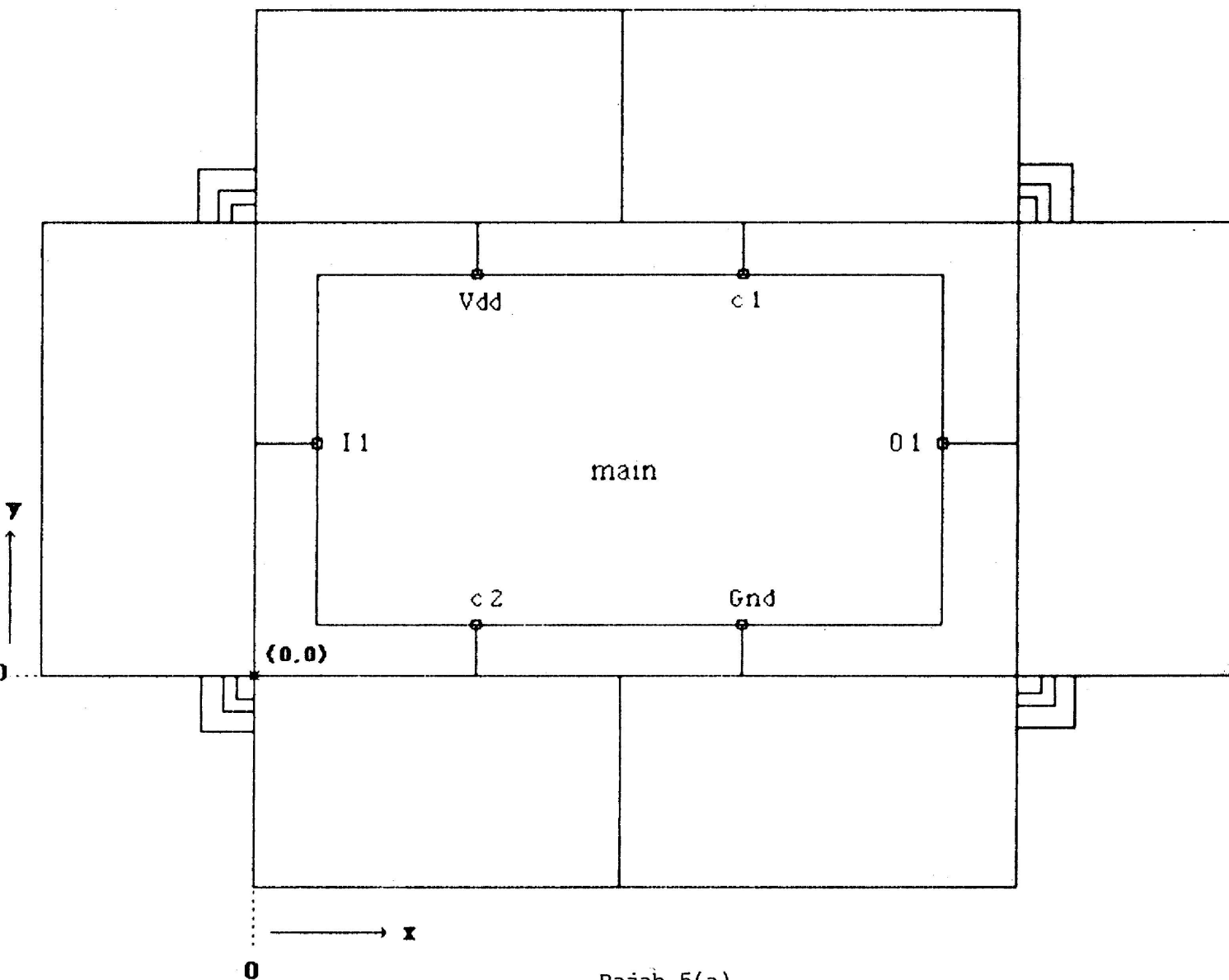
Rajah 5(a)

9.0 Reference port names : All I/O port references can be assumed to lie along the edges of the cell/pad.

10.0 Routing channel width : It has been agreed that all the routing channels must have a minimum width of 10.0 microns, ie. separation between the main module and any of the pads must be at least 10.0 microns.

11.0 Width of the power lines (both Vdd and Gnd) from main module to pads.

12.0 Layout The final layout should be as shown below.



Rajah 5(a)

```
PROCEDURE addufd (ufdname : strtype)
PROCEDURE ax (x : coordinate)
PROCEDURE ay (y : coordinate)
PROCEDURE branch
PROCEDURE cellref (refname, cellname, instname : strtype)
PROCEDURE defcell (name : strtype)
PROCEDURE drawxy (x,y : coordinate; transformation : strtype)
PROCEDURE dx (x : coordinate)
PROCEDURE dy (y : coordinate)
PROCEDURE endb
PROCEDURE endcell
PROCEDURE getrefwire (name : strtype)
PROCEDURE inst (name : strtype)
PROCEDURE layer (name : strtype)
PROCEDURE outform (output format : strtype)
PROCEDURE port (attribute : strtype)
PROCEDURE process (name : strtype)
PROCEDURE ref (name : strtype)
PROCEDURE ufd (start of ufdname : strtype)
PROCEDURE wirexy (x,y : coordinate)
```

```
FUNCTION getrefx (name : strtype) : coordinate;
FUNCTION getrefy (name : strtype) : coordinate;
```

Rajah 5(b) PAC Declarations

6. Nyatakan perbezaan di antara litar gabungan dan litar jujukan (FINITE STATE MACHINE).

(10%)

Daripada Peta karnaugh yang ditunjukkan di Rajah 6(a), dapatkan fungsi litar tersebut. Seterusnya, laksanakan fungsi tersebut dengan menggunakan Tatasusunan logik boleh aturcara (PLA) jenis nMOS.

(50%)

Anda dikehendaki merekabentuk dadu (dice) elektronik yang mempunyai dua suis input, iaitu PUSING dan TIPU. Apabila suis TIPU dipasang, dadu tersebut akan dipaksa menunjukkan angka 6. Bila suis PUSING dipasang dan suis TIPU dalam keadaan TUTUP, dadu akan beroperasi seperti biasa. Apabila TIPU dan PUSING adalah TUTUP keadaan tidak berubah.

Sila lukiskan Rajah peralihan keadaan untuk Mesin keadaan terhingga (FSM) tersebut.

(40%)

...15/-

X1

E = 0

		AB			
		00	01	11	10
CD	00	1	-	0	1
	01	-	1	0	0
	11	0	0	0	0
	10	0	0	1	1

E = 1

		AB			
		00	01	11	10
CD	00	-	-	0	0
	01	-	1	0	0
	11	0	0	0	0
	10	0	0	1	1

X2

E = 0

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	1	-
	11	0	0	0	-
	10	1	0	0	1

E = 1

		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	1	-
	11	0	0	0	-
	10	1	0	0	1

X3

E = 0

		AB			
		00	01	11	10
CD	00	0	1	-	1
	01	0	1	1	0
	11	0	1	1	0
	10	0	0	0	1

E = 1

		AB			
		00	01	11	10
CD	00	0	1	-	1
	01	0	1	1	0
	11	0	-	1	0
	10	1	0	0	1

Rajah 6(a)

...16/-

7. Rajah 7(a) menunjukkan peraturan rekabentuk berasaskan ' λ ' di mana ' λ ' = 1.5 μm . Untuk susunan litar di Rajah 7(b), rancang bentangan dengan menggunakan rajah ranting di mana:-

- (a) lokasi transistor pMOS hanya dibenarkan dalam satu baris atasnya.
- (b) lokasi transistor nMOS hanya dibenarkan dalam satu baris bawah sahaja.
- (c) V_{dd} dan V_{ss} diletak mengufuk di atas dan di bawah masing-masing menggunakan METAL1.
- (d) POLY mesti digunakan secara menegak sahaja.

(30%)

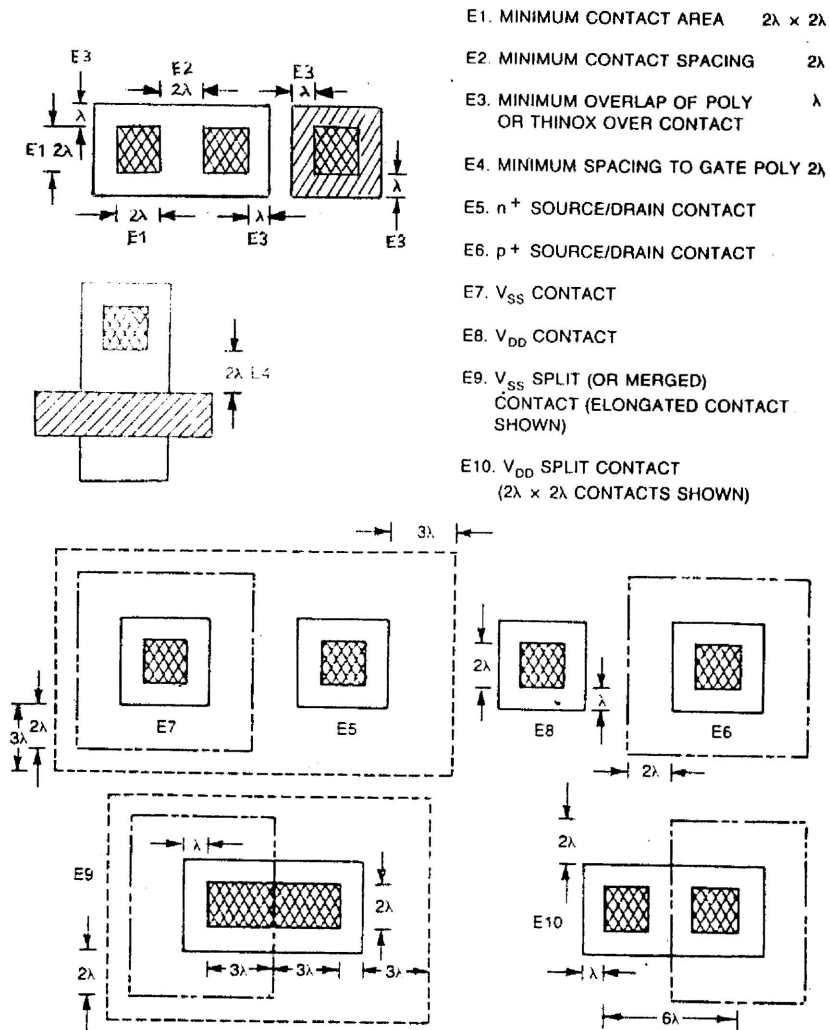
Seterusnya, dengan menggunakan kertas graf, lukiskan bentangan sebenar supaya segala peraturan rekabentuk berasaskan ' λ ' dipatuhi.

(70%)

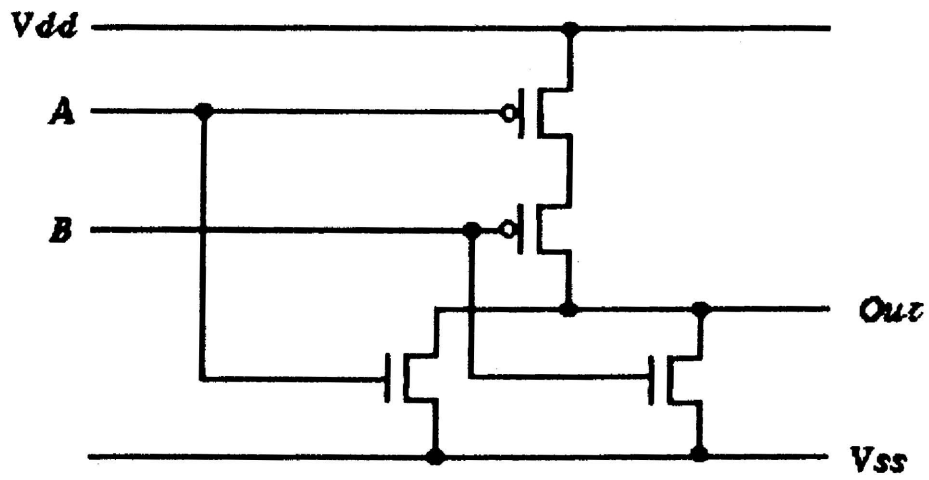
...17/-

NO.	MASK	FEATURE	DIMENSION
1	Thinox	A1.Minimum thinox width	2λ
		A2.Minimum thinox spacing (n^- to n^+ , p^- to p^+)	2λ
		A3.Minimum p-thinox to n-thinox spacing	8λ
2	p-well	B1.Minimum p-well width	4λ
		B2.Minimum p-well spacing (wells at same potential)	2λ
		B3.Minimum p-well spacing (wells at different potential)	6λ
		B4.Minimum distance to internal thinox	3λ
		B5.Minimum distance to external thinox	5λ
3	Poly	C1.Minimum poly width	2λ
		C2.Minimum poly spacing	2λ
		C3.Minimum poly to thinox spacing	λ
		C4.Minimum poly gate extension	2λ
		C5.Minimum thinox source/drain extension	2λ
4	p-plus	D1.Minimum overlap of thinox	$1.5-2\lambda$
		D2.Minimum p-plus spacing	2λ
		D3.Minimum gate overlap or distance to gate edge	$1.5-2\lambda$
		D4.Minimum spacing to unrelated thinox	$1.5-2\lambda$
		E1.Minimum contact area	$2\lambda \times 2\lambda$
5	Contact	E2.Minimum contact to contact spacing	2λ
		E3.Minimum overlap of thinox or poly over contact	λ
		E4.Minimum spacing to gate poly	2λ
		E5. n^+ source/drain contact	
		E6. p^+ source/drain contact	
		E7. V_{gs} contact	
		E8. V_{dd} contact	
		E9.Split contact V_{gs}	
		E10.Split contact V_{dd}	
6	Metal	F1.Minimum metal width	$2-3\lambda$
		F2.Minimum metal spacing	3λ
		F3.Minimum metal overlap of contact	λ

Rajah 7(a) Hukum Bentangan Lambda-based



Rajah 7(a) Peraturan-peraturan bentangan berdasarkan lambda



Rajah 7(b)